

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170375

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G11C 11/15
G11C 11/14
H01L 27/105
H01L 43/08

(21)Application number : 2000-365105

(71)Applicant : CANON INC

(22)Date of filing : 30.11.2000

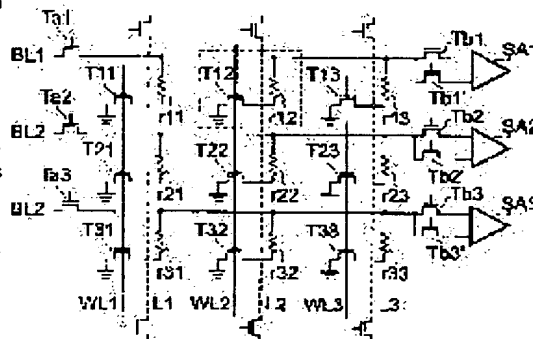
(72)Inventor : HIRAI MASAHICO

(54) FERROMAGNETIC NON-VOLATILE STORAGE ELEMENT, ITS INFORMATION REPRODUCING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ferromagnetic non-volatile storage element being superior in stability of information reproduction operation.

SOLUTION: This device has a variable resistor r12 which has a hard layer and a soft layer and in which information of one bit is stored in accordance with the direction of magnetization of a hard layer, a bit line BL1 to which one end of the variable resistor r12 is connected and the prescribed current is supplied, a sense amplifier SA1 comparing a first potential generated at the bit line BL1 when the soft layer is magnetized in the first direction of magnetization with a second potential generated at the bit line BL1 when the soft layer is magnetized in the second direction of magnetization being the reverse direction to the first direction of magnetization, and a noise eliminating means comprising transistors (Ta1, Tb1, Tb1') eliminating a noise generated in the bit line BL1 by floating electrically the bit line when magnetization is reversed from the first direction of magnetization of the soft layer to the second direction of magnetization.



LEGAL STATUS

[Date of request for examination]

18.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

【特許請求の範囲】

【請求項 1】 第 1 の強磁性体膜と、該第 1 の強磁性体膜より保磁力の小さい第 2 の強磁性体膜を有し、前記第 1 の強磁性体膜の磁化の向きに応じて 1 ビットの情報が記憶される磁気抵抗素子と、
前記磁気抵抗素子の一端が接続された所定の電流が供給されるビット線と、
前記第 2 の強磁性体膜が第 1 の磁化方向に磁化された場合の前記ビット線に生じる第 1 の電位と、前記第 2 の強磁性体膜が前記第 1 の磁化方向とは反対の向きである第 2 の磁化方向に磁化された場合の前記ビット線に生じる第 2 の電位とを比較するセンスアンプと、
前記第 2 の強磁性体膜の第 1 の磁化方向から第 2 の磁化方向への磁化の反転、またはその逆の磁化の反転の際の前記ビット線に生じるノイズを除去するノイズ除去手段とを有することを特徴とする強磁性体不揮発性記憶素子。

【請求項 2】 前記ノイズ除去手段は、前記第 2 の強磁性体膜の第 1 の磁化方向から第 2 の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を電氣的に浮遊させるスイッチ手段よりなることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 3】 前記スイッチ手段は、
前記ビット線の一方の端部に設けられた第 1 の半導体スイッチと、
前記ビット線の他方の端部と前記センスアンプの 2 つの入力端子とをそれぞれ接続する 2 つのラインにそれぞれ設けられた第 2、第 3 の半導体スイッチとからなることを特徴とする請求項 2 に記載の強磁性体不揮発性記憶素子。

【請求項 4】 前記ノイズ除去手段は、一端の端子が前記ビット線の所定の端部に接続され、他方の端子が接地された半導体スイッチよりなることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 5】 前記ノイズ除去手段は、前記ビット線の所定の部分に直列に挿入されたコイルよりなることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 6】 1 つの半導体スイッチ素子を有し、該半導体スイッチ素子と前記磁気抵抗素子とから 1 ビットのメモリを構成する単位セルが形成されていることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 7】 前記半導体スイッチ素子は、ドレイン端子が前記磁気抵抗素子の一方の端子に接続され、ソース端子が接地され、ゲート端子に所定の電圧が印加されることでそれらドレイン端子とソース端子とが電氣的に接続されるように構成されていることを特徴とする請求項 6 に記載の強磁性体不揮発性記憶素子。

【請求項 8】 前記半導体スイッチ素子が、SiGe を主体としたチャネル領域を有する電界効果型トランジスタであることを特徴とする請求項 6 に記載の強磁性体不

揮発性記憶素子。

【請求項 9】 前記半導体スイッチ素子が形成される基板が SOI 基板であることを特徴とする請求項 6 に記載の強磁性体不揮発性記憶素子。

【請求項 10】 前記磁気抵抗素子の第 1、第 2 の強磁性体膜はそれぞれ所定の方向に磁化容易軸を有し、前記ビット線の一部が前記第 1 の強磁性体膜の直上に位置しており、

前記第 2 の強磁性体膜の近傍を通る書き込み線をさらに有し、

前記ビット線および書き込み配線の双方に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第 1 の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるとともに、前記ビット線に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第 2 の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるように構成されていることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 11】 前記ビット線および書き込み線の片方または両方が銅を主体とする材料により構成されていることを特徴とする請求項 10 に記載の強磁性体不揮発性記憶素子。

【請求項 12】 前記磁気抵抗素子がトンネル磁気抵抗素子より構成されていることを特徴とする請求項 1 に記載の強磁性体不揮発性記憶素子。

【請求項 13】 前記トンネル磁気抵抗素子を構成する第 1、第 2 の強磁性体膜がそれぞれ、膜の面内方向に対して水平方向に磁化されることを特徴とする請求項 12 に記載の強磁性体不揮発性記憶素子。

【請求項 14】 前記トンネル磁気抵抗素子を構成する第 1、第 2 の強磁性体膜が、膜の面内方向に対して垂直方向に磁化されることを特徴とする請求項 12 に記載の強磁性体不揮発性記憶素子。

【請求項 15】 第 1 の強磁性体膜と、該第 1 の強磁性体膜より保磁力の小さい第 2 の強磁性体膜とを有する、前記第 1 の強磁性体膜の磁化の向きに応じて 1 ビットの情報が記憶される磁気抵抗素子が、所定の電流が供給されるビット線に接続されてなる強磁性体不揮発性記憶素子の情報再生方法において、

前記第 2 の強磁性体膜が第 1 の磁化方向に磁化された場合の前記ビット線に生じる第 1 の電位と、前記第 2 の強磁性体膜が前記第 1 の磁化方向とは反対の向きである第 2 の磁化方向に磁化された場合の前記ビット線に生じる第 2 の電位とを比較して、前記磁気抵抗素子に記憶された情報を読み出すステップと、

前記第 2 の強磁性体膜の第 1 の磁化方向から第 2 の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を電氣的に浮遊させるステップとを含むことを特徴とする情報再生方法。

【請求項 16】 第 1 の強磁性体膜と、該第 1 の強磁性

3

体膜より保磁力の小さい第2の強磁性体膜とを有する、前記第1の強磁性体膜の磁化の向きに応じて1ビットの情報が記憶される磁気抵抗素子が、所定の電流が供給されるビット線に接続されてなる強磁性体不揮発性記憶素子の情報再生方法において、

前記第2の強磁性体膜が第1の磁化方向に磁化された場合の前記ビット線に生じる第1の電位と、前記第2の強磁性体膜が前記第1の磁化方向とは反対の向きである第2の磁化方向に磁化された場合の前記ビット線に生じる第2の電位とを比較して、前記磁気抵抗素子に記憶された情報を読み出すステップと、

前記第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を所定のインピーダンスで接地させるステップとを含むことを特徴とする情報再生方法。

【請求項17】 請求項1から14のいずれかに記載の強磁性体不揮発性記憶素子が半導体基板上に形成されたメモリチップ。

【請求項18】 前記強磁性体不揮発性記憶素子における情報の書き込みおよび読み出しの制御を行う制御回路が同一基板上に形成された請求項17に記載のメモリチップ。

【請求項19】 請求項1から14のいずれかに記載の強磁性体不揮発性記憶素子よりなるプログラム格納メモリと、該プログラム格納メモリに格納されたプログラムに従って動作する制御手段とを有することを特徴とする携帯型情報処理装置。

【請求項20】 有線回線または無線回線を介した情報の送受信が可能な通信手段をさらに有し、前記制御手段が、前記通信手段を介した情報の送受信を制御することを特徴とする請求項19に記載の携帯型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶素子に関し、特に、強磁性体を用いた不揮発性記憶素子およびその情報再生方法に関する。さらには、そのような記憶素子を用いたメモリチップおよび携帯型情報処理装置に関する。

【0002】

【従来の技術】一般に、強磁性体は、外部から印加した磁場によって強磁性体内に発生した磁化が、外部磁場を取り除いた後にも残留する（これを残留磁化という）特性を持っている。このような強磁性体は、磁化の方向、磁化の有無などによって電気抵抗が変化する、いわゆる磁気抵抗効果をもつ。大きな磁気抵抗効果を持つ材料としては、巨大磁気抵抗（GMR；Giant Magneto-Resistance）材料、超巨大磁気抵抗（CMR；Colossal Magneto-Resistance）材料があり、いずれも金属、合金、複合酸化物などからなる。また、大きな磁気抵抗変化を示すトンネル磁気抵抗素子（Tunnel Magneto-Resistance；TMR）

4

なども知られている。このような磁気抵抗材料の磁化方向の選択、磁化の有無による電気抵抗値の変化を利用することで不揮発性メモリ（電源を切っても記憶を失わないメモリ）を構成することができる。これが、いわゆる磁気メモリ（MRAM；Magnetic Random Access Memory）である。

【0003】最近開発が進められているMRAMの多くは、強磁性体の巨大磁気抵抗現象を用い、磁化方向の違いによって生じる磁気抵抗率の変化を電圧に変換して読み出す方式を採っている。一例として、図18に1T1R型差動方式を採用する強磁性体不揮発性記憶素子を示す。

【0004】この強磁性体不揮発性記憶素子は、行方向にビット線BLが配置され、これと交差するように列方向にワード線WLおよび複数の書き込み線Lが配置されている。ビット線BLとワード線WLの交差部には、1個の電界効果型トランジスタTR1と強磁性体の磁化方向を選択することにより電気抵抗値を選択することができるTMR素子Rとからなる、1ビットのメモリを構成するメモリセル（単位セル）が配設されている。ビット線BLは、所定の電圧が供給されるようになっており、一端がトランジスタTR2、TR3の一方の端子に共通に接続されている。トランジスタTR2、TR3の他方の端子はそれぞれセンスアンプSAの「＋端子」、「－端子」に接続されている。センスアンプSAは、コンパレータ（比較器）として動作するものであり、「＋端子」に供給された電圧と「－端子」に供給された電圧を比較する。電界効果型トランジスタTR1は、ゲートがワード線WLと接続され、ソースが接地され、ドレインがTMR素子Rの一端に接続されている。TMR素子Rの他端はビット線BLと接続されている。

【0005】図19の（a）および（b）は、上記強磁性体不揮発性メモリの情報再生時のTMR素子Rの磁化の状態を示す模式図である。TMR素子Rは、保磁力の大きなハード層116と保磁力の小さなソフト層117とによってトンネル絶縁膜118を挟んだ構造になっている。ハード層116の磁化の向きに応じて「0」または「1」の情報が記憶される。ここでは、ハード層116が図19に示すように紙面に向かって右方向に予め磁化されて情報が保持されているものとして、記憶情報の再生動作を説明する。

【0006】記憶情報を再生する場合は、ソフト層117の磁化がハード層116の磁化と同方向か逆方向かによってTMR素子の抵抗値が異なり、その抵抗値の違いに応じてビット線BLにおける電圧が異なる現象を利用する。まず、書き込み配線Lに電流を所定の方向に流して、TMR素子Rのソフト層117を初期化する。ここでは、図19（a）に示すような磁化の方向が互いに異なる状態を初期化された状態とする。次いで、トランジスタTR2をオン状態（トランジスタTR3はオフ状

5

態)として、その初期化状態におけるビット線BLの電位をセンスアンプSAの一方の端子に供給する。次いで、書き込み配線Lに上記初期化時とは逆の方向に電流を流して、ソフト層117の磁化を反転させる。このとき、ハード層116は、保磁力が大きいため、磁化反転は生じないので、ソフト層117およびハード層116の磁化の方向は、図19(b)に示すように同じ向きになる。次いで、トランジスタTR3をオン状態(トランジスタTR2はオフ状態)として、その状態におけるビット線BLの電位をセンスアンプSAの他方の端子に供給する。センスアンプSAは、両端子に保持された電位を比較することで、ハード116層の磁化の向きに応じた情報の読み出しを行う。

【0007】最近では、上述したような強磁性体不揮発性記憶素子をチップ化して、携帯型情報処理装置(携帯型のパーソナルコンピュータ、携帯電話機などを含む)のプログラム格納メモリとして用いる試みがなされている。

【0008】

【発明が解決しようとする課題】上述した従来の1T1R型差動方式の強磁性体不揮発性記憶素子では、記憶情報の読み出しの際に、ソフト層を第1の磁化方向から第2の磁化方向へ磁化反転させる動作を含むため、その磁化反転の際に、ビット線に書き込み配線からの磁場起因する電磁誘導によるノイズが生じる。このノイズは、センスアンプにおける信号検出を困難する。このように、従来は、ノイズの発生により、安定した情報再生動作が得られなくなる、という問題があった。

【0009】また、最近では、強磁性体記憶素子を携帯型情報処理装置のプログラム格納メモリとして用いることが試みられているが、上記のような問題から、DRAMを用いたものと同等のメモリ性能を有するものはこれまでに実現されておらず、そのような装置の実現も課題の一つとなっていた。

【0010】本発明の目的は、上記従来の課題を解決し、情報再生動作の安定性に優れた強磁性体不揮発性記憶素子およびその情報再生方法を提供することにある。

【0011】本発明の他の目的は、そのような強磁性体不揮発性記憶素子を有する、メモリチップおよび携帯型情報処理装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の強磁性体不揮発性記憶素子は、第1の強磁性体膜と、該第1の強磁性体膜より保磁力の小さい第2の強磁性体膜を有し、前記第1の強磁性体膜の磁化の向きに応じて1ビットの情報が記憶される磁気抵抗素子と、前記磁気抵抗素子の一端が接続された所定の電流が供給されるビット線と、前記第2の強磁性体膜が第1の磁化方向に磁化された場合の前記ビット線に生じる第1の電位と、前記第2の強磁性体膜が前記第1の磁化方向

6

とは反対の向きである第2の磁化方向に磁化された場合の前記ビット線に生じる第2の電位とを比較するセンスアンプと、前記第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際の前記ビット線に生じるノイズを除去するノイズ除去手段とを有することを特徴とする。

【0013】上記の場合、前記ノイズ除去手段は、前記第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を電氣的に浮遊させるスイッチ手段よりなるものであってもよい。

【0014】また、前記スイッチ手段は、前記ビット線の一方の端部に設けられた第1の半導体スイッチと、前記ビット線の他方の端部と前記センスアンプの2つの入力端子とをそれぞれ接続する2つのラインにそれぞれ設けられた第2、第3の半導体スイッチとからなるものであってもよい。

【0015】さらに、前記ノイズ除去手段は、一端の端子が前記ビット線の所定の端部に接続され、他方の端子が接地された半導体スイッチよりなるものであってもよい。

【0016】さらに、前記ノイズ除去手段は、前記ビット線の所定の部分に直列に挿入されたコイルよりなるものであってもよい。

【0017】本発明の情報再生方法は、第1の強磁性体膜と、該第1の強磁性体膜より保磁力の小さい第2の強磁性体膜とを有する、前記第1の強磁性体膜の磁化の向きに応じて1ビットの情報が記憶される磁気抵抗素子が、所定の電流が供給されるビット線に接続されてなる強磁性体不揮発性記憶素子の情報再生方法において、前記第2の強磁性体膜が第1の磁化方向に磁化された場合の前記ビット線に生じる第1の電位と、前記第2の強磁性体膜が前記第1の磁化方向とは反対の向きである第2の磁化方向に磁化された場合の前記ビット線に生じる第2の電位とを比較して、前記磁気抵抗素子に記憶された情報を読み出すステップと、前記第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を電氣的に浮遊させるステップとを含むことを特徴とする。

【0018】また、本発明の情報再生方法は、第1の強磁性体膜と、該第1の強磁性体膜より保磁力の小さい第2の強磁性体膜とを有する、前記第1の強磁性体膜の磁化の向きに応じて1ビットの情報が記憶される磁気抵抗素子が、所定の電流が供給されるビット線に接続されてなる強磁性体不揮発性記憶素子の情報再生方法において、前記第2の強磁性体膜が第1の磁化方向に磁化された場合の前記ビット線に生じる第1の電位と、前記第2の強磁性体膜が前記第1の磁化方向とは反対の向きである第2の磁化方向に磁化された場合の前記ビット線に生じる第2の電位とを比較して、前記磁気抵抗素子に記憶

された情報を読み出すステップと、前記第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、前記ビット線を所定のインピーダンスで接地させるステップとを含むことを特徴とする。

【0019】本発明のメモリチップは、上述のいずれかの強磁性体不揮発性記憶素子が半導体基板上に形成されたことを特徴とする。

【0020】本発明の携帯型情報処理装置は、上述のいずれかの強磁性体不揮発性記憶素子がよりなるプログラム格納メモリと、該プログラム格納メモリに格納されたプログラムに従って動作する制御手段とを有することを特徴とする。

【0021】上記のとおりの本発明によれば、第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に生じるノイズが除去されるように構成されているので、読み出し動作が不安定になることはない。

【0022】本発明のうち、第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、ビット線を電気的に浮遊させるものにおいては、浮遊させたビット線には、書き込み配線から磁場が供給されても起電力は生じないため、電磁誘導によるノイズは発生しない。

【0023】本発明のうち、第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際に、ビット線を所定のインピーダンス（ただし、十分に小さい）で接地させるものにおいては、ビット線に生じたノイズはグラウンド側へ伝導するため、ノイズがセンスアンプに大きく影響することはない。

【0024】本発明のうち、ビット線の所定の部分（具体的には、ビット線の最もセンスアンプに近い部分）にコイルを挿入したものにおいては、コイルがノイズ除去フィルタとして働き、これにより、第2の強磁性体膜の第1の磁化方向から第2の磁化方向への磁化の反転、またはその逆の磁化の反転の際にビット線に生じたノイズが除去される。

【0025】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0026】図1は、本発明の一実施形態の強磁性体不揮発性記憶素子の回路図、図2は、図1に示す強磁性体不揮発性記憶素子のメモリセルの構造を示す部分断面図である。図1を参照すると、本形態の強磁性体不揮発性記憶素子は、行方向に複数のビット線BL1～BL3が配置され、これらビット線と交差するように列方向に複数のワード線WL1～WL3および複数の書き込み線L1～L3が配置されている。ビット線とワード線の各交差部には、1個の電界効果型トランジスタと強磁性体の

磁化方向を選択することにより電気抵抗値を選択することができる可変抵抗器とからなる、1ビットのメモリを構成するメモリセル（単位セル）が配設されている（マトリクス配列）。図1に示した例では、マトリクス配列におけるアドレスを特定できるように、各メモリセルの電界効果型トランジスタには「T11、T12、T13、T21、T22、T23、T31、T32、T33」の符号が付されており、可変抵抗器には、それぞれ「r11、r12、r13、r21、r22、r23、r31、r32、r33」の符号が付されている。

【0027】ビット線BL1の一端にはビット線への電圧供給を制御するためのトランジスタTa1が設けられており、他端はトランジスタTb1、Tb1'の一方の端子に共通に接続されている。トランジスタTb1、Tb1'の他方の端子はそれぞれセンスアンプSA1の「+端子」、「-端子」に接続されている。これと同様に、ビット線BL2は、一端にトランジスタTa2が設けられ、他端がトランジスタTb2、Tb2'を介してセンスアンプSA2に接続され、ビット線BL3は、一端にトランジスタTa3が設けられ、他端がトランジスタTb3、Tb3'を介してセンスアンプSA3に接続されている。各書き込み線L1～L3は、それぞれ両端にアドレス選択および電流の向きの切替のためのトランジスタが設けられている。

【0028】センスアンプSA1～SA3は、コンパレータ（比較器）として動作するものであり、「+端子」に供給された電圧と「-端子」に供給された電圧を比較する。このセンスアンプにおける電圧比較動作では、

「+端子電圧」>「-端子電圧」

のときにハイ出力（すなわち、Vdd）、

「+端子電圧」<「-端子電圧」

のときにロウ出力（すなわち、0V）を出力する。なお、「+端子」および「-端子」は、供給された電圧をその都度、維持できるようになっている。

【0029】上記の他、図1には示されていないが、情報再生動作時の磁化反転の際に、トランジスタ（「Ta1、Tb1、Tb1'」、「Ta2、Tb2、Tb2'」、「Ta3、Tb3、Tb3'」）を制御してビット線（BL1～BL3）を電気的に浮遊させ、これによりビット線に生じるノイズの影響を除去する制御部を備える。

【0030】各メモリセルの構成は同じである。ここでは、図1の破線で囲んだメモリセル（アドレス[1、2]）について、その構成を具体的に説明する。このメモリセルは、1個の電界効果型トランジスタT12と1個の可変抵抗器r12とからなる1T1R構造のセルである。電界効果型トランジスタT12は、ゲートがワード線WL2と接続され、ソースが接地され、ドレインが可変抵抗器r12の一端に接続されている。可変抵抗器r12の他端はビット線BL1と接続されている。この

メモリスルの概略構造を模式的に示したものが図2である。以下、図2を参照して、メモリスル構造をさらに詳細に説明する。

【0031】半導体基板1上に、周知の高集積シリコン半導体デバイス作製技術を用いて、ソース2、ドレイン3およびゲート絶縁膜4が形成され、さらに、ゲート絶縁膜4上に導電体からなるゲート電極5が形成されている。この部分が、図1に示す電界効果型トランジスタT12に相当する。この電界効果型トランジスタでは、ゲート電極5に所定の電圧を印加して、ゲート電極5直下の領域（ソース2とドレイン3の間）のキャリア密度を制御することによって、ソース2とドレイン3の間に流れる電流が制御されて、オン、オフの動作が行われる。ソース2はソースコンタクトプラグ7を介して接地線8と電気的に接続され、ドレイン3はドレインコンタクトプラグ6を介してローカル配線10と電気的に接続されている。隣接するメモリスルとは、フィールド酸化膜15により絶縁されている。

【0032】接地線8上には、該接地線8に沿うように書き込み配線9（図1の書き込み線L2に相当する）が設けられている。この接地線8と書き込み配線9は絶縁されている。書き込み配線9の一部は上記ローカル配線10の一部と重なっており、両配線間は絶縁されている。この書き込み配線9とローカル配線10の重なり部分において、ローカル配線10は書き込み配線9上に位置しており、このローカル配線10上に可変抵抗器12（図1の可変抵抗器r12に相当する。）が形成されている。

【0033】可変抵抗器12は、上部がビット線13（図1のビット線BL1に相当する。）に接しており、下部がローカル配線10と電気的に接続された端子11と接している。ビット線13上には、絶縁膜14が形成されている。この可変抵抗器12は、強磁性体の磁化方向を選択することにより電気抵抗値を選択することができる可変抵抗器（磁気抵抗素子）であって、例えば、GMRやCMR材料のような大きな磁気抵抗効果をもつ強磁性材料が用いられ、その磁化の向きあるいは磁化の有無に依存して、強磁性体を流れる電流に対する抵抗値が変化する。このように構成した可変抵抗器12では、外部磁場により強磁性体の磁化方向を選択することにより、抵抗値を選択することができる。同様の動作を期待できるものとして、GMRやCMR材料を用いるものの他にトンネル絶縁膜を用いたTMR素子などがある。

【0034】以下、TMR素子について簡単に説明する。図3は、強磁性体膜が水平方向に磁化されるTMR素子を示す図で、（a）は抵抗大の場合の磁化の向きを示す模式図、（b）は抵抗小の場合の磁化の向きを示す模式図である。

【0035】このTMR素子は、トンネル絶縁膜18をハード層16（保磁力が大きな強磁性層）とソフト層1

7（保磁力が小さな強磁性層）とによって挟んだものであり、ハード層16とソフト層17は、磁化されやすい軸（磁化容易軸）が面内方向にたいして水平方向をむいている。このTMR素子では、ハード層16とソフト層17の磁化方向によって貫通電流を流した際の抵抗値が異なる。具体的には、図3（a）に示すように、ハード層16とソフト層17の磁化方向が反対向きの場合には、TMR素子の抵抗値は大きくなり、図3（b）に示すように、ハード層16とソフト層17の磁化方向が同方向の場合には、TMR素子の抵抗値は小さくなる。

【0036】また、TMR素子の強磁性体膜の磁化方向を垂直方向とすることもできる。図4は、強磁性体膜が垂直方向に磁化されるTMR素子を示す図で、（a）は抵抗大の場合の磁化の向きを示す模式図、（b）は抵抗小の場合の磁化の向きを示す模式図である。このTMR素子は、トンネル絶縁膜18'をGdやTbなどからなるハード層16'、ソフト層17'で挟んだものであり、ハード層16'とソフト層17'は、磁化されやすい軸（磁化容易軸）が面内方向にたいして垂直方向をむいている。このTMR素子では、ハード層16'とソフト層17'の磁化方向によって貫通電流を流した際の抵抗値が異なる。具体的には、図4（a）に示すように、ハード層16'とソフト層17'の磁化方向が反対向きの場合には、TMR素子の磁気抵抗値は大きくなり、図4（b）に示すように、ハード層16'とソフト層17'の磁化方向が同方向の場合には、TMR素子の磁気抵抗値は小さくなる。

【0037】上述のようなTMR素子を用いて情報を記憶する場合、通常は、ソフト層17（17'）についてのみ磁化の反転が行われる場合と、ハード層16（16'）についてのみ磁化の反転が行われる場合の2つとがあるが、本実施形態では後者の書き込み動作が行われる。

【0038】次に、本形態の強磁性体不揮発性記憶素子における情報記憶（書き込み）、情報再生（読み出し）動作について具体的に説明する。

【0039】（1）情報再生（読み出し）動作

本形態の強磁性体不揮発性記憶素子では、1T1R型差動方式の読み出し動作が行われる。ここでは、図1に示した回路の破線で囲まれたメモリスル（アドレス[1、2]の位置にあるメモリスル）の情報を読み出す場合について説明する。

【0040】図5～図8は、図1に示す強磁性体不揮発性記憶素子のアドレス[1、2]の位置にあるメモリスルの読み出し動作を説明するための模式図である。可変抵抗器r12は前述の図3または図4に示したTMR素子であって、ハード層16（16'）が予め所定の方向に磁化されて情報が保持されている。例えば、図3に示したように紙面に向かって右方向、あるいは、図4に示したように紙面に向かって上方向に保持されている。こ

のハード層 16 (16') の磁化の向きが、例えば、1 ビットの情報の「1」に対応するとすると、その磁化方向を反転させた向きが「0」に対応する。記憶情報の読み出しでは、ソフト層 17 (17') の磁化がハード層 16 (16') の磁化と同方向か逆方向かによって TMR 素子の抵抗値が異なり、その抵抗値の違いに応じてビット線 BL1 における電圧が異なる現象を利用する。

【0041】まず、図 5 に示すように、書き込み線 L2

(図 2 の書き込み配線 9) に書き込み電流 i を流し、可変抵抗器 $r12$ のソフト層を所定の方向に磁化させて初期化する。この初期化の際の磁化の様子を以下に簡単に説明する。

【0042】図 9 の (a)、(b) は、可変抵抗器 $r12$ として図 3 に示した強磁性体膜が水平方向に磁化される TMR 素子を用いた場合の、ソフト層が書き込み電流によって生じる磁場によって磁化される様子を示す模式図である。この例では、書き込み配線 9 に書き込み電流 i を流すと、図 9 (a) に示すように磁場 H が発生し、この磁場 H によって、ソフト層 17 の磁化反転が生じ、図 9 (b) に示すようにソフト層 17 の磁化の方向とハード層 16 の磁化の方向とが同じ方向となる。ソフト層 17 をさらに磁化反転させる場合は、書き込み配線 9 に流す書き込み電流 i の向きを逆にする。

【0043】図 10 の (a)、(b) は、可変抵抗器 $r12$ として図 4 に示した強磁性体膜が垂直方向に磁化される TMR 素子を用いた場合の、ソフト層が書き込み電流によって生じる磁場によって磁化される様子を示す模式図である。この例では、上記図 9 の場合と異なり、書き込み配線 9' に書き込み電流 i を流すことによって生じる磁場 H' は、ソフト層 17' に対して垂直方向に作用する。この磁場 H' の作用により、ソフト層 17' の磁化反転が生じ、ソフト層 17' の磁化の方向とハード層 16' の磁化の方向とが同じ方向となる。ソフト層 17' をさらに磁化反転させる場合は、書き込み配線 9' に流す書き込み電流 i の向きを逆にする。

【0044】上記初期化後、ビット線 BL1 (図 2 のビット線 13) に所定の電圧 (読み出し用電圧) をかけ、セル選択用の電界効果型トランジスタ T12 およびセンスアンプ SA1 の一方の入力端子 (「一端子」) 側に設けられているトランジスタ Tb1 をそれぞれオンにする。これにより、可変抵抗器 $r12$ に定常電流 (貫通電流) $i1$ が流れるとともに、ビット線 BL1 の電位によって、センスアンプの一方の端子 (「一端子」) が充電される (図 6 参照)。

【0045】次に、書き込み線 L2 (図 2 の書き込み配線 9) に、図 5 に示した初期化の際の書き込み電流 i とは逆の方向に書き込み電流 i' を流し (図 7 参照)、ソフト層の磁化を反転させる。具体的には、上述した図 9 および図 10 における磁化反転とは逆の磁化反転を生じさせる。この磁化反転の際、ビット線 BL1 に電磁誘導に

よるノイズが発生する。本形態では、このビット線 BL1 への電磁誘導によるノイズの発生を抑制するために、ビット線 BL1 に接続されたトランジスタは全てオフとして、ビット BL1 を電氣的に浮遊させる。

【0046】次に、ビット線 BL1 に所定の電圧 (読み出し用電圧) をかけ、セル選択用の電界効果型トランジスタ T12 およびセンスアンプ SA1 の他方の入力端子 (「+端子」) 側に設けられているトランジスタ Tb2 をそれぞれオンにする。これにより、可変抵抗器 $r12$ に定常電流 (貫通電流) $i2$ が流れるとともに、ビット線 BL1 の電位によって、センスアンプの他方の端子 (「+端子」) が充電される (図 8 参照)。

【0047】以上の動作によって、センスアンプ SA1 の「+端子」には、前述の図 3 (a) または図 4 (a) に示した磁化状態 (ハード層とソフト層ともに磁化の方向が同じ (抵抗小)) に応じた電圧が維持され、「一端子」には前述の図 3 (b) または図 4 (b) に示した磁化状態 (ハード層とソフト層の磁化の方向が異なる (抵抗大)) に応じた電圧が維持される。この場合は、

「+端子電圧」 > 「一端子電圧」

となるため、センスアンプ SA1 の出力は、ハイ (すなわち、 V_{dd}) となる。

【0048】一方、ハード層が、図 3 または図 4 に示した磁化の向きとは反対の方向に磁化されている場合は、

「+端子電圧」 < 「一端子電圧」

となるため、センスアンプ SA1 の出力は、ロウ出力 (すなわち、0 V) となる。このようにして、ハード層の磁化方向に応じた情報の読み出しを行うことができる。

【0049】(2) 情報記憶 (書き込み) 動作

次に、各メモリセルに 1 ビットの情報を書き込む動作について説明する。ここでは、ハード層が情報を保持する強磁性体層として使用される。図 13 は、図 1 に示すマトリックス中の [1, 2] の位置にあるセルの情報を書き換える際の書き込み電流の流れを示す模式図である。図 14 は図 13 に示す書き込み時のメモリセルの磁化反転の様子を示す図で、(a) は書き込み配線に電流を所定の向きに流した時の磁化の状態を示す模式図、(b) はビット線に電流を所定の向きに流した時の磁化の状態を示す模式図、(c) は (b) の状態の磁気抵抗器を上から見た模式図である。図 14 中、図 2 に示したものと同じものには同じ符号を付している。以下、図 13 および図 14 を参照して、書き込み時のメモリセルの磁化反転について説明する。

【0050】情報の書き換えは、図 14 に示すように、ビット線 BL1 (図 2 のビット線 13) と書き込み線 L2 (図 2 の書き込み配線 9) に書き込み電流を所定の流し、両電流により生じる磁場の和によって、ハード層の磁化方向を書き換える。書き込み配線 9 に書き込み電流 $i2$ が流れると書き込み磁場 $H2$ が発生するが、図 14

(a) に示すように、この書き込み磁場 H_2 だけでは可変抵抗器 (TMR 素子) 12 のハード層 16 の磁化方向は反転しない。ここでは、ハード層 16 の磁化方向は予め、供給される書き込み磁場 H_2 の方向とは反対の方向を向いているものとする。また、可変抵抗器 12 は、磁化されやすい軸 (磁化容易軸) が書き込み磁場 H_2 の磁場成分の方向に平行 (ビット線 13 に平行) となっている。

【0051】上記の書き込み磁場 H_2 が印加されている状態でビット線 13 に書き込み電流 i_1 が流れると、書き込み磁場 H_1 が発生し、この書き込み磁場 H_1 と上記書き込み磁場 H_2 の両磁場が可変抵抗器 13 に印加されることになる。このようにして書き込み磁場 H_1 、 H_2 の両磁場が同時に印加されることで、はじめて、可変抵抗器 12 のハード層 16 の磁化が反転する (図 14 の (b) および (c) 参照)。

【0052】上記のように、本形態では、書き込み配線 9 とビット線 13 のいずれか一方に電流を流すだけでは、可変抵抗器 12 のハード層 16 の磁化方向は反転せず、両方の線に同時に電流を流すことで、はじめてハード層 16 の磁化方向が反転する。これにより、マトリクス状に配置されている可変抵抗器のうちから所望の可変抵抗器を選択的に磁化反転させることができる。なお、図 14 に示す磁化反転は、便宜上、ハード層 16 についてのみ示しており、ソフト層 17 について示されていないが、ソフト層 17 については、書き込み電流 i_2 が流れ、その電流によって生じる磁場 H_2 が供給された時点で、その磁場 H_2 の方向に磁化されることになる。

【0053】上記の書き込み動作では、可変抵抗器 (TMR 素子) 12 が面内に対し水平に磁化することを前提に説明したが、垂直磁化構造の TMR 素子においても、同様の動作で情報の書き込みが行われる。

【0054】本形態では、電磁誘導によってビット線に発生するノイズを抑制または減衰させる機構として、ビット線を電氣的に浮遊させる方法を用いているが、これ以外に、ビット線を低いインピーダンスによって接地したり、ビット線にインダクタンスを設けたりするなど、種々の方法を用いることができる。

【0055】図 11 に、本発明の他の実施形態である、ビット線を低いインピーダンスによって接地した強磁性体不揮発性記憶素子の一例を示す。図 11 中、図 1 に示した構成と同じものには同じ符号を付している。この例では、ビット線 BL_1 の、トランジスタ Tb_1 、 Tb_1' が共通に接続された部分がトランジスタ Tc を介して接地されている。トランジスタ Tc のオン抵抗の値は十分に小さいものとする。この場合は、情報再生時の磁化反転の際に、不図示の制御部によってトランジスタ Tc がオンされることで、ビット線に発生するノイズがランドへ伝導される。

【0056】図 12 に、本発明の他の実施形態である、

ビット線にインダクタンスを設けた強磁性体不揮発性記憶素子の一例を示す。図 12 中、図 1 に示した構成と同じものには同じ符号を付している。この例では、ビット線 BL_1 の、トランジスタ Tb_1 、 Tb_1' が共通に接続された部分のライン中にコイル (インダクタンス) L が設けられている。このコイル L がノイズ除去フィルタとして働き、ビット線に発生する電磁誘導によるノイズを減衰させることができる。

【0057】次に、本実施形態の強磁性体不揮発性記憶素子の実施例についてその作製工程とともに構成を詳細に説明する。

【0058】(実施例 1) 本例では、強磁性体の磁化方向を選択することにより電気抵抗値を選択することができる可変抵抗器として、トンネル絶縁膜を 2 つの強磁性体薄膜で挟んだ構造をもつ、いわゆるトンネル磁気抵抗素子 (TMR 素子) を用いるものについて説明する。TMR 素子としては、図 3 (a) に示したような、強磁性体薄膜の面内に水平に磁化する、保持力の大きなハード層 16 と保持力の小さなソフト層 17 によって、トンネル絶縁膜 18 を挟む構造のものが用いられる。

【0059】図 15 (a) ~ (g) は、図 2 に示した強磁性体不揮発性記憶素子のメモリセルの作製手順を示す工程断面図である。この例によれば、まず、図 15 (a) に示すように、半導体基板 1 上にソース 2、ドレイン 3、ゲート絶縁膜 4、ゲート電極 5 を形成して、MOS (Metal-Oxide-Semiconductor) - FET (Field Effect Transistor; 電界効果型トランジスタ) を含む基板を作製する。この基板における FET のソース 2、ドレイン 3 の部分にそれぞれコンタクトホール 7、6 をあけてプラグを埋め込む (図 15 (b) 参照)。下地には、Ti バリア膜を用いる。

【0060】次いで、配線層として、Ti/AlSiCu/Ti 層を形成した後、周知のフォトリソ工程により所定のパターンに加工して接地線 8 とプラグ接続部分を形成し、さらに層間絶縁膜として周知のプラズマ CVD 法による SiO_2 膜 20 を形成し、上面を平坦化する (図 15 (c) 参照)。

【0061】次いで、配線層として、Ti/AlSiCu/Ti 層を形成した後、フォトリソ工程により所定のパターンに加工して書き込み配線 9 を形成し、さらに層間絶縁膜として周知のプラズマ CVD 法による SiO_2 膜 21 を形成し、上面を平坦化する (図 15 (d) 参照)。

【0062】次いで、TMR 素子への接続線としての W (タングステン) 層を形成し、フォトリソ工程により所定のパターンに加工してローカル配線 10 を形成する (図 6 (e) 参照)。次いで、端子 11 となる下地層として AlCu 層、可変抵抗器 (TMR 素子) 12 として NiFe/AlO_x/Co 積層膜を形成し、フォトリソ工程により所定の形状に加工した後、プラズマ CVD 法

によりSiO₂膜22(図2の絶縁膜14)を形成して上面を平坦化する(図15(f)参照)。

【0063】次いで、書き込み線を兼ねたビット線13となるTi/AlSiCu/Ti層を形成した後、フォトリソ工程により所定のパターンに加工し、プラズマCVD法により層間絶縁膜としてSiO₂膜を形成し、さらに保護層としての絶縁膜(SiN膜)14を形成し、パッド領域の加工を行なって完成となる(図15(g)参照)。

【0064】図16は、以上の作製工程により所定の設計ルールで作製されたメモリセルを上面から見た図である。ビット線13と書き込み配線9とが重なる部分に可変抵抗器12が形成されている。

【0065】以上のようにして作製された強磁性体不揮発性記憶素子において、ビット線に発生するノイズを抑制または減衰させる機構として、ビット線を電氣的に浮遊させる対策を施した場合、その差動読み出し動作時のノイズレベルは、何ら対策を施さなかったものと比較して約20分の1となった。

【0066】また、ビット線および書き込み配線をメッキ法により形成した上、CMP(Chemical Mechanical Polishing)法により埋め込むことにより作製した銅配線としたとき、エレクトロマイグレーション耐性が1桁以上向上した。以下簡単に、エレクトロマイグレーションについて説明する。

【0067】一般に、配線に大きな電流密度の電流を流すと、「エレクトロマイグレーション」と呼ばれる現象が発生することが知られている。この「エレクトロマイグレーション」現象は、金属中の伝導電子流が次第に金属原子を押し流し、配線を変形させ、最後には短絡、断線を引き起こす。書き込み線を兼ねたビット線と書き込み線を銅を主体とする材料によって構成することで、このような「エレクトロマイグレーション」現象による短絡、断線を抑制することができる。本実施例では、書き込み線を兼ねたビット線と書き込み線を銅を主体とする材料によって構成しているので、書き込み時に流れる電流の信頼性が損なわれることがなくなり、記憶素子を長期間にわたり安定に動作させることができた。

【0068】さらに、メモリセルを構成する電界効果型トランジスタのチャネル部分にSiGeを使用したり、基板の作製にSOI(Silicon On Insulator)技術を適用したりすることによって、通常のMOS構造のものより高速に動作させることができ、記憶素子のアクセス時間などを短縮させることができる。上記実施例のもので、SiGeチャネルを有する電界効果型トランジスタを用いて該記憶素子を作製し、動作させたところ、アクセス時間を約10%短縮させることができた。ここで、SOI技術とは、絶縁膜上に薄いSi膜を形成し、そのSi膜中にMOS集積回路をつくり込むことで、3次元集積回路を形成することをいう。このSOI技術によれ

ば、MOSトランジスタの高速化の妨げとなる基板と寄生容量を低減させることができる。

【0069】(実施例2) 上述した実施例1と同様な試作工程により、TMR素子の強磁性体材料としてGdFe系合金を採用したメモリセルを作製した。このメモリセルは、強磁性体膜の面内に対し垂直に磁化させるようになっており、ビット線に発生するノイズを抑制または減衰させるために、ビット線が接地されている。

【0070】本実施例のメモリセルにおける差動読み出し動作時のノイズ減衰時間は、ビット線に発生するノイズを抑制または減衰させる機構を有していない従来のものと比較して約1/5であった。

【0071】以上説明したように、本発明の強磁性体不揮発性記憶素子(1T1R型MRAM)は、ビット線に生ずるノイズを抑制または減衰させることができ、安定して読み出し動作を行うことができる。

【0072】また、本発明の強磁性体不揮発性記憶素子を用いることで、メモリチップや、携帯式通信機器、パーソナルコンピュータ機器などの携帯型情報処理装置において、電源を遮断しても情報が失われない、いわゆる不揮発性機能を活かし、電源が不安定な使用条件でも安定したメモリ機能を提供することが可能である。さらに、従来のSRAM(Static Random Access Memory)を電池によりバックアップするなどして、ワークメモリとして使用する場合などには、本発明の記憶素子を用いればバックアップ電源が必要なくなり、コストの削減および装置の小型化に大きく貢献する。さらにまた、プログラムメモリとして使用していたNOR型フラッシュメモリの代わりに、数桁高速に書き換え可能な本発明の記憶素子を用いることで、携帯式通信機器、携帯式パーソナルコンピュータなど携帯型情報処理装置の処理性能を飛躍的に向上させることができる。

【0073】以下、本発明の強磁性体不揮発性記憶素子を用いた、メモリチップおよび携帯型情報処理装置について説明する。

【0074】(1)メモリチップ：図15の(a)～(g)に示した作製工程により半導体基板上に強磁性体不揮発性記憶素子(メモリアレイ)を形成してメモリチップを作製した。このメモリチップをEEPROM(Electrical Erasable and Programmable ROM)互換の駆動回路を付加した上で、リードフレーム(単一な枠構造を持つ金属製品で、チップ搭載部、ワイヤーボンディングのインナリード部および基板へのはんだ付けのためのアウトリード部からなる。)に搭載してセラミックパッケージに封入した。このようにして作製されたメモリ素子は、40℃で1時間のストレス後も正常に動作した。

【0075】また、同一チップ上に、上記の強磁性体不揮発性記憶素子と、該強磁性体不揮発性記憶素子における情報の書き込みおよび読み出しの制御を行う制御回路(8ビットのマикроプロセッサなどを含む)やその他

種々の回路を配置して、組込み型磁気メモリチップを構成することも可能である。

【0076】(2) 携帯型情報処理装置：本携帯型情報処理装置は、本実施形態の強磁性体不揮発性記憶素子よりなる不揮発性メモリをプログラム格納メモリとして備え、制御回路がそのプログラム格納メモリに格納されたプログラムに従って動作するように構成したものである。一例として、図17に通信機能を有する携帯型情報処理装置の概略構成を示す。

【0077】図17において、携帯型情報処理装置は、所定のプログラムが格納されたプログラム格納メモリ60と、プログラム格納メモリ60に格納されているプログラムに従って動作する制御部61と、有線回線（電話回線などの一般公衆網、ISDNなど）または無線回線を介した情報の送受信が可能な通信部62と、液晶ディスプレイなどの表示部63と、記憶部64と、キーボードなどの入力部65とを有する。制御部61は、通信部62を介した外部の情報端末との情報のやりとりを行ったり、表示部63への情報の表示を行う。また、制御部61は、演算結果を記憶部64へ記憶させることもできる。この他、制御部61は、入力部65からの入力に応じて、種々の処理動作、制御動作を実行することが可能である。このような制御部61による演算、制御により、既存のパーソナルコンピュータの機能に近いものを実現している。

【0078】以上のように、本携帯型情報処理装置は、強磁性体不揮発性記憶素子をプログラム格納メモリとして用いて、DRAMを用いた場合とほぼ同様の性能を実現することができる。

【0079】なお、上記の携帯型情報処理装置において、プログラム格納メモリ60と同様に、記憶部64にも本発明の強磁性体不揮発性記憶素子を用いることが可能である。

【0080】

【発明の効果】以上説明したように、本発明によれば、記憶情報再生時の磁化反転の際に生じるノイズの影響を取り除くことができるので、従来にない、情報再生動作の安定性に優れた強磁性体不揮発性磁気素子を提供することができる。

【0081】また、この強磁性体不揮発性磁気素子を用いることにより、強磁性体を用いた信頼性の高いメモリチップおよび携帯型情報処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の強磁性体不揮発性記憶素子の回路図である。

【図2】図1に示す強磁性体不揮発性記憶素子のメモリセルの構造を示す部分断面図である。

【図3】強磁性体膜が水平方向に磁化されるTMR素子を示す図で、(a)は抵抗大の場合の磁化の向きを示す

模式図、(b)は抵抗小の場合の磁化の向きを示す模式図である。

【図4】強磁性体膜が垂直方向に磁化されるTMR素子を示す図で、(a)は抵抗大の場合の磁化の向きを示す模式図、(b)は抵抗小の場合の磁化の向きを示す模式図である。

【図5】図1に示す強磁性体不揮発性記憶素子のアドレス[1、2]の位置にあるメモリセルの読み出し動作を説明するための模式図である。

10 【図6】図1に示す強磁性体不揮発性記憶素子のアドレス[1、2]の位置にあるメモリセルの読み出し動作を説明するための模式図である。

【図7】図1に示す強磁性体不揮発性記憶素子のアドレス[1、2]の位置にあるメモリセルの読み出し動作を説明するための模式図である。

【図8】図1に示す強磁性体不揮発性記憶素子のアドレス[1、2]の位置にあるメモリセルの読み出し動作を説明するための模式図である。

20 【図9】(a)および(b)は、TMR素子のソフト層が書き込み電流によって生じる磁場によって水平方向に磁化される様子を示す模式図である。

【図10】(a)および(b)は、TMR素子のソフト層が書き込み電流によって生じる磁場によって垂直方向に磁化される様子を示す模式図である。

【図11】本発明の他の実施形態である、ビット線を低いインピーダンスによって接地した強磁性体不揮発性記憶素子の一例を示す回路図である。

30 【図12】本発明の他の実施形態である、ビット線にインダクタンスを設けた強磁性体不揮発性記憶素子の一例を示す回路図である。

【図13】図1に示すマトリックス中の[1、2]の位置にあるセルの情報を書き換える際の書き込み電流の流れを示す模式図である。

【図14】図13に示す書き込み時のメモリセルの磁化反転の様子を示す図で、(a)は書き込み配線に電流を所定の向きに流した時の磁化の状態を示す模式図、(b)はビット線に電流を所定の向きに流した時の磁化の状態を示す模式図、(c)は(b)の状態の磁気抵抗器を上から見た模式図である。

40 【図15】(a)～(g)は、図2に示した強磁性体不揮発性記憶素子のメモリセルの作製手順を示す工程断面図である。

【図16】図15の(a)～(g)に示す作製工程により作製されたメモリセルを上面から見た図である。

【図17】本発明の強磁性体不揮発性記憶素子を用いた、通信機能を有する携帯型情報処理装置の概略構成を示すブロック図である。

【図18】1T1R型差動方式を採用する従来の強磁性体不揮発性記憶素子を示す回路図である。

50 【図19】(a)および(b)は、図18に示す強磁性

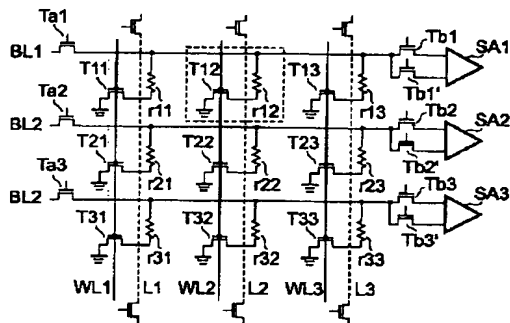
体不揮発性メモリの情報再生時のTMR素子Rの磁化の状態を示す模式図である。

【符号の説明】

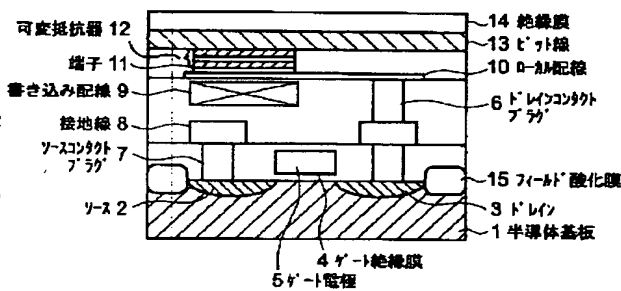
- 1 半導体基板
- 2 ソース
- 3 ドレイン
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 ドレインコンタクトプラグ
- 7 ソースコンタクトプラグ
- 8 接地線
- 9、9' 書き込み配線
- 10 ローカル配線
- 11 端子
- 12 可変抵抗器（磁気抵抗素子）

- 13 ビット線
- 14 絶縁膜
- 15 フィールド酸化膜
- 16、16' ハード層
- 17、17' ソフト層
- 18、18' トンネル絶縁膜
- 20～22 SiO₂膜
- L コイル
- BL1～BL3 ビット線
- 10 T11～T33、Ta1～Ta3、Tb1～Tb3、Tb1'～Tb3' トランジスタ
- r11～r33 可変抵抗器（磁気抵抗素子）
- SA1～SA3 センサアンプ
- WL1～WL3 ワード線
- L1～L3 書き込み線

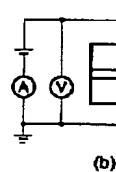
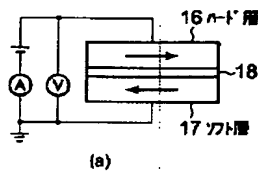
【図1】



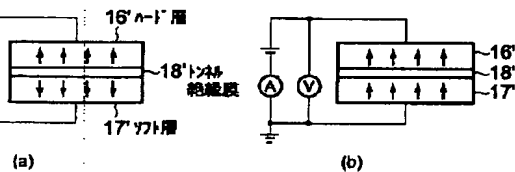
【図2】



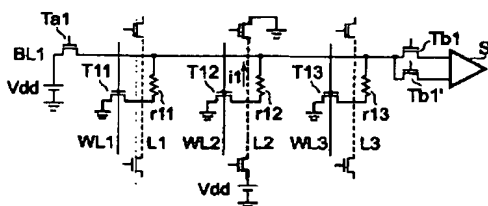
【図3】



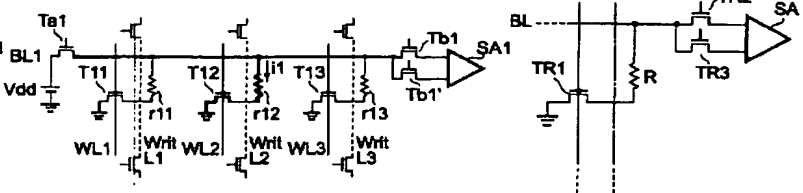
【図4】



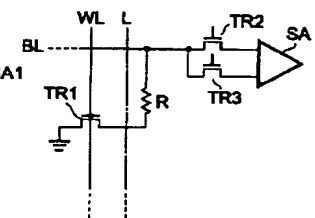
【図5】



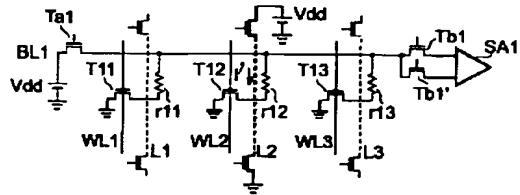
【図6】



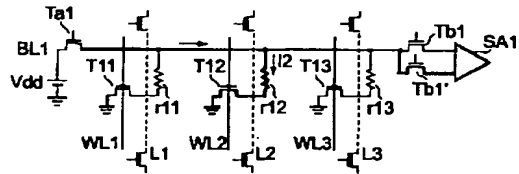
【図18】



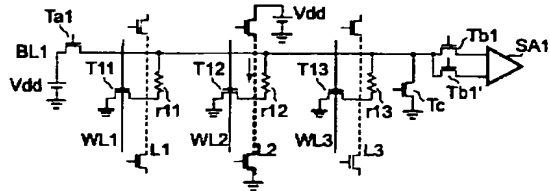
【図 7】



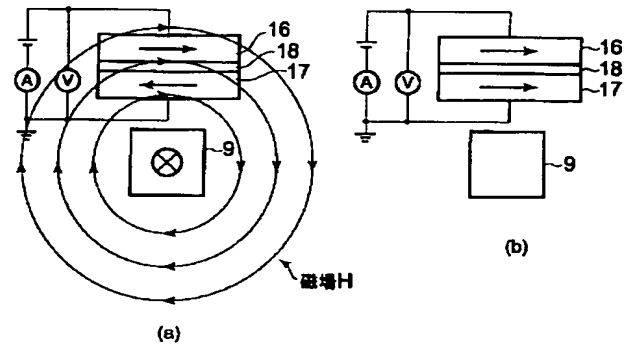
【図 8】



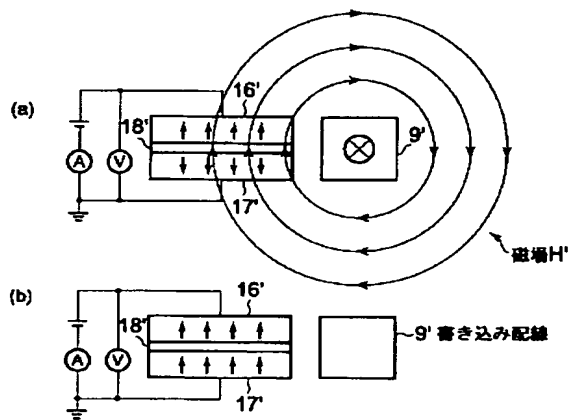
【図 9】



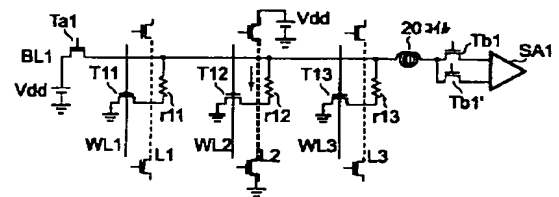
【図 10】



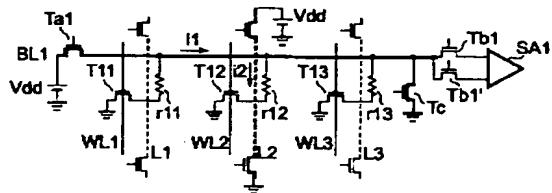
【図 11】



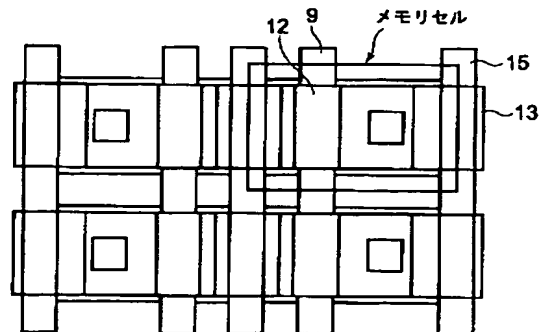
【図 12】



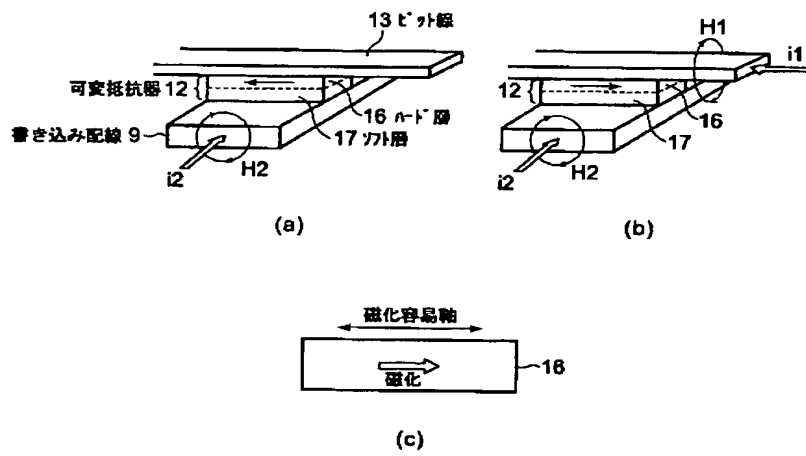
【図 13】



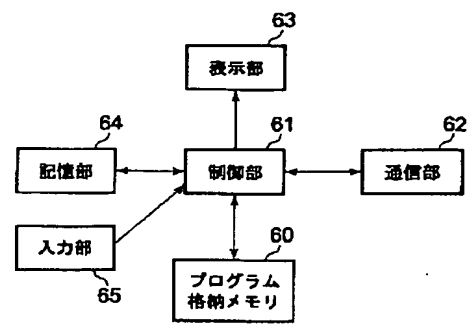
【図 16】



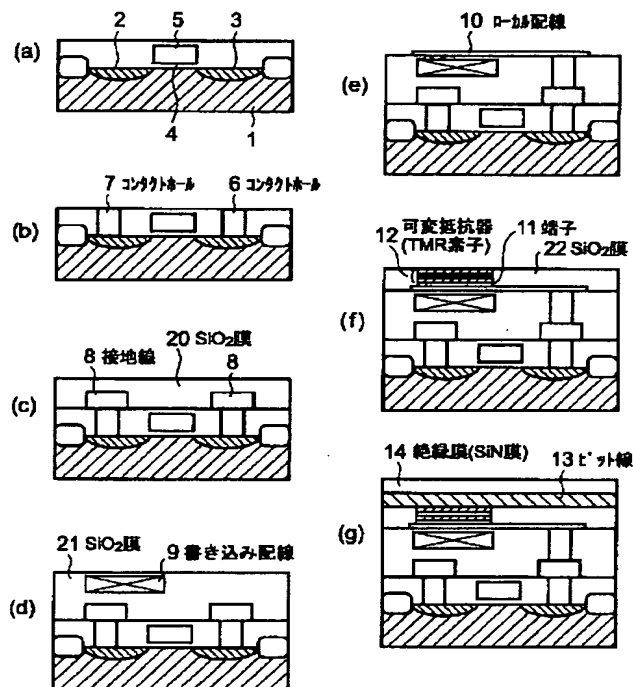
【図14】



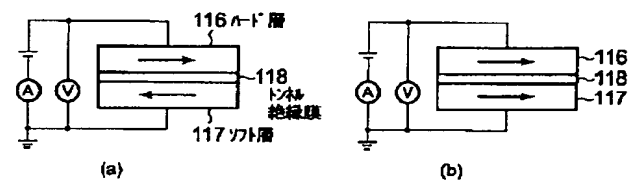
【図17】



【図15】



【図19】



This Page Blank (uspio)